

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 56078156
PUBLICATION DATE : 26-06-81

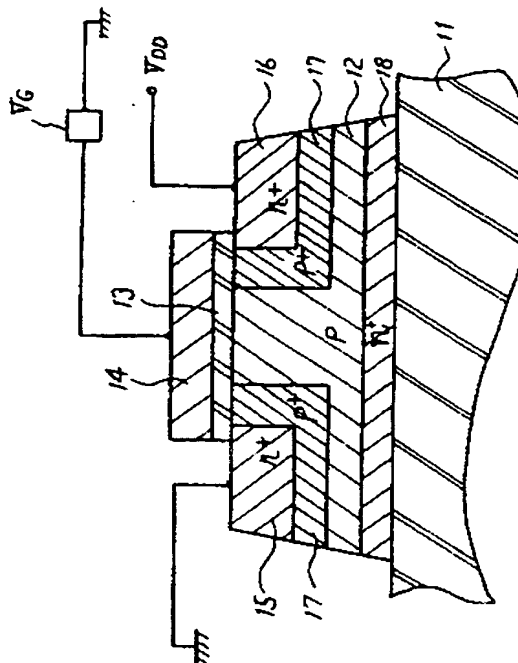
APPLICATION DATE : 30-11-79
APPLICATION NUMBER : 54155336

APPLICANT : FUJITSU LTD;

INVENTOR : NAKANO MOTOO;

INT.CL. : H01L 27/10 G11C 11/40 H01L 29/78

TITLE : CHARGE PUMP SEMICONDUCTOR
MEMORY



ABSTRACT : PURPOSE: To obtain the memory with a good efficiency by a method wherein a single conduction type epitaxial layer is laid on an insulating substrate to form a reverse conduction type epitaxial layer with less crystalline defect, and on which a source and drain regions surrounded by a reverse conduction region of high impurity concentration are formed.

CONSTITUTION: A thin n^+ type layer 18 is made the epitaxial growth on the insulating substrate 11 made of supphire and an Si layer 12 is made the epitaxial growth thereon to form a layer 12 with less crystalline defect. Then, this layer 12 is doped with a p type impurity to form a p type layer 12 and applied and etching to electrically float those layers. After then, a gate electrode 14 formed of a polycrystal Si through a gate SiO_2 film 13 is provided on the layer 12 and with it as the mask, a p^+ type region 17 is formed by the B^+ ion injection into the layer 12 on both sides of the electrode 14. Subsequently, an As^+ ion is injected within the region 17 to form the N^+ type source and drain regions 15, 16. Thereafter, the electrode 14 is applied a supply souce VG and the region 16 a voltage VDD to effect the charge-pumping.

COPYRIGHT: (C)1981,JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—78156

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 昭和56年(1981)6月26日

H 01 L 27/10

7210—5 F

G 11 C 11/40

7010—5 B

H 01 L 29/78

7514—5 F

発明の数 1

審査請求 未請求

(全 5 頁)

⑮ チャージポンプ半導体記憶装置

⑯ 発明者 中野元雄

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 特 願 昭54—155336

⑱ 出 願 昭54(1979)11月30日

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 発 明 者 佐々木伸夫

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

富士通株式会社内

明 細 書

1. 発明の名称

チャージポンプ半導体記憶装置

2. 特許請求の範囲

(1) 電気的に浮遊した一導電型の半導体領域にソース領域及びドレイン領域を互いに離隔して配設し、該半導体領域と同じ導電型で該半導体領域より高濃度の不純物領域を、該ソース領域及びドレイン領域と該半導体領域との間に介在して両者を離隔するよう設けたことを特徴とするチャージポンプ半導体記憶装置。

(2) 前記半導体領域が絶縁層上にあり、該半導体領域と反対導電型の第2の不純物領域を、該半導体領域内にあって前記ソース領域とドレイン領域との間のチャネル領域の下に設けたことを特徴とする特許請求の範囲第1項記載のチャージポンプ半導体記憶装置。

3. 発明の詳細な説明

本発明は、電気的に浮遊した半導体基板にチャージ・ポンピングにより電荷を蓄積して情報蓄込

みを行なうメモリ・セルを有する半導体記憶装置の改良に関するものである。

従来、上記の様な半導体記憶装置として第1図に示すものが知られている。図に於いて、11はサファイア等の単結晶絶縁基板、12はエピタキシャル成長のP型のシリコン半導体領域、13は二酸化シリコンのゲート絶縁膜、14はゲート電極、15はn⁺型ソース領域、16はn⁺型ドレイン領域、V_Gは電源をそれぞれ示す。

本装置に於いて情報の書き込みを行なうには、ソース領域15を接地し、ドレイン領域16に正電圧V_{DD}を印加した後、ゲート電極14に閾値電圧V_{th}以上の正の電圧を加えてゲート絶縁膜13の下側に在る半導体領域12の表面にチャネルを形成し、次いで、急激にゲート電圧を閾値電圧V_{th}以下に低下させる。すると、チャージ・ポンピング効果に依り、チャネルに於ける電子の一部が電気的に浮いた状態に在るP型の半導体領域12に入り込んで中の正孔と再結合して滞留することになる。前記ゲート電極14に印加する電圧はバル

ス状に繰返して加え、ると良い。前記操作に依り電気的に浮遊した半導体領域12はソース領域15に対して負にバイアスされる。このときのバイアスは、半導体領域12とソース領域15との間のp・n接合に対して逆バイアスであるから、半導体領域12内はソース領域15に対して負にバイアスされたまま保持される。この状態はMIS・FETにバック・ゲート・バイアスが印加されて閾値電圧 V_{th} が高くなった状態であり、ドレイン領域16に電圧 V_{DD} を印加して、ソース及びドレイン領域間を流れる電流を検知すると、半導体領域12がソース領域15と等電位であるとき即ち、チャージ・ポンピングを行なう以前の状態と比較すると電流量は低下する。従って、これを以て、情報の“1”或いは“0”の書き込み有りとするものである。

また、前記書き込まれた情報を消去するには半導体領域12の負のバイアスを除去すれば良い。具体的には、半導体記憶装置の温度を上昇させたり光を照射するなどしてp・n接合の逆方向リーク

- 3 -

とができ、現在、ダイナミック・メモリとして普遍化しつつある1トランジスタ1メモリ・キャパシタのメモリで問題となっているビット線容量問題が完全に解決されている。即ち、通常の1トランジスタ1メモリ・キャパシタのメモリではメモリ・キャパシタにかなり高い電圧で書き込まれていても、ビット線に寄生容量があると、メモリ・キャパシタから情報を読出してセンス回路でセンスするまでに減衰するが、前記第1図のメモリ・セルでは閾値電圧 V_{th} の変化に基因する電流変化をセンスするのであるから、ビット線に寄生容量があっても、その影響は殆んど受けない。従ってメモリ・セルを小型にして高集積化するには真に好都合なメモリ・セルである。ところで、第1図のメモリ・セルでは、前述したように書き込みをチャージ・ポンピングにより電子を半導体領域12に注入して中の正孔と再結合させることにより行なっている。

そのためメモリの集積度を上げるため各メモリ・セルを小型化してチャネル長を短くしていくと、

特開昭56-78156(2)

電流を増加させるようにする。これらの手段は、装置のメモリ・セル・アレイに格納されている全ての情報を消去するのに有効である。この外、ゲート電極14に正電圧を印加して、半導体領域12内に於ける負の電荷をチャネル領域に集め、次いで、ゲート電極14に印加した電圧を緩徐に下降させて等になるとチャージ・ポンピングは発生せず、前記電荷も消滅する。また、ドレイン領域16あるいはソース領域15に高電圧を加えて、アバランシェ・ブレイクダウンをおこさせ、半導体領域12に正孔を注入して情報を消去することもできる。これらの手段は、メモリ・セル・アレイを構成している特定のメモリ・セルに格納されている情報を消去するのに有効である。

さて、前記のようなメモリ・セルを有する半導体記憶装置は従来のMIS・FETと同様な方法で安価に製造することができ、しかも、メモリ・セルは並換えも可能である。

例えば前記メモリ・セル・アレイでは、1ビットを完全に1個のトランジスタのみで構成するこ

- 4 -

トゲート電極14に如何に立下りが鋭いパルスを印加してもチャネル領域内のキャリアである電子の大部分が半導体領域12内に注入されずにソース領域15及びドレイン領域16に戻ったり、一旦半導体領域12内に注入されても中の正孔と再結合して安定する前にソース領域15及びドレイン領域16に戻ったりして、チャージ・ポンピングによる注入効率が劣化するという欠点が生じてくる。

本発明は上記従来の欠点を除去し、集積度を上げるためメモリ・セルを小型化してチャネル長が短くなっても、効率の良いチャージ・ポンピングを行うことができるようにするものである。

この目的は本発明によれば、電気的に浮遊した一導電型の半導体領域にソース領域及びドレイン領域を互いに離隔して配設し、該半導体領域と同じ導電型で該半導体領域より高濃度の不純物領域を、該ソース領域及びドレイン領域と該半導体領域との間に介在して両者を離隔するよう設けたことを特徴とするチャージポンプ半導体記憶装置を

-264-

- 5 -

- 6 -

提供することにより達成される。そしてさらに前記半導体領域が絶縁層上にあり、該半導体領域と反対電位の第2の不純物領域を、該半導体領域内にあって前記ソース領域とドレイン領域との間のチャネル領域の下に設けることにより、よりいっそう目的を達成することができる。

以下本発明の一実施例を図面に従って詳細に説明する。

第2図は本発明の一実施例で、第1図の従来例とはP型半導体領域12より高濃度のP⁺不純物領域17をソース領域15及びドレイン領域16と半導体領域12との間に両者を挟隔するよう設けている点で異なる。このようにすることによりソース領域15とドレイン領域16間のチャネル領域のP⁺不純物領域の部分17aでは同部分12aより閾値電圧が高くなり、そのためゲート電極14に電圧を印加してチャネルを形成した後電圧を除去するとチャネルの部分17aが先にピンチ・オフして、その時部分12aでは未だチャネルが形成されていてそのチャネル領域内のキャ

リアである電子が半導体領域12に蓄積される。さらに上記の様にして半導体領域12に蓄積された電子は、半導体領域12内の正孔と再結合する前に、ソース領域15及びドレイン領域16へ戻ろうとするが、P⁺不純物領域17により戻りにくくなっているため正孔と再結合する電子の数が増加する。

上記の動作をバンド理論により説明すると第5図の様になる。E_Fはフェルミ準位であり、第5図の左半分が本実施例に随するもので左からn⁺がソース15又はドレイン16で、P⁺が不純物領域17で、Pが半導体領域12である。

P⁺不純物領域17により17bのようなエネルギーの山が形成されるため、電子が21の如くn⁺のソース領域15及びドレイン領域16へ戻ることなく、22の如く正孔(hole)と再結合する。

次に第3図に本発明の他の実施例を示す。第2図の実施例ではP⁺不純物領域17により電子がソース領域15及びドレイン領域16に戻るのを防いだが、さらにその効果を上げるため、本実施

- 7 -

- 8 -

例では第3図の様に単結晶絶縁基板11とP型の半導体領域12との間にn⁺の第2の不純物領域18を設けている。これにより半導体領域12内に注入された電子はn⁺の第2の不純物領域18に引きよせられ蓄積される。

つまり本実施例では第5図に示すように、P⁺不純物領域17により電子が21の如く戻るのを防ぎ、さらにn⁺の第2の不純物領域18に電子が23の如く引きよせられて24の如く蓄積される。なおその際、電子は第2図の場合のように正孔と再結合することはない。n⁺の第2の不純物領域18に電子が蓄積される状態は、MIS・FETのバック・ゲート・バイアスが印加された場合と同じだから、記憶装置としての動作は第1図及び第2図の場合と何ら変りがない。

次に第3図の実施例の製造方法について簡単に説明する。まず単結晶絶縁基板であるサファイア11上に不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$ のn⁺の第2の不純物領域18を膜厚を約0.5 μ エピタキシャル成長させる。その上にシリコン

の半導体領域12を膜厚約1.0 μ エピタキシャル成長させ不純物をドーブしてドーゾ量 $1 \times 10^{16} \text{ cm}^{-3}$ のP型の領域にする。そして例えば周知のエッチング技術により各メモリ・セルを分離して、半導体領域12及び第2の不純物領域18を電気的に浮遊させる。次に二酸化シリコンのゲート絶縁膜13を約500 Å、多結晶シリコンによるゲート電極14を約7000 Åを周知の技術で形成する。そしてこのゲート電極14をマスクにして不純物イオンB⁺をイオン注入して深さ約0.7 μ 、不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のP⁺の不純物領域17を形成し、さらにゲート電極14をマスクにして例えば不純物イオンAs⁺をイオン注入してジャンクションの深さ約0.3 μ 、不純物濃度約 $1 \times 10^{20} \text{ cm}^{-3}$ のn⁺のソース領域及びドレイン領域16を形成する。その後アニール処理を行なうことにより、第3図に示すようにP⁺の不純物領域17、ソース領域15及びドレイン領域16の不純物は活性化される。なおここではイオン注入法により、P⁺の不純物領域17、ソース領域15

-265-

- 9 -

- 10 -

及びドレイン領域16を形成する場合を示したが周知の拡散法で前記の不純物領域を形成することもできる。

上記のような製造方法によれば、シリコンの半導体領域12が高濃度の第2の不純物領域18の上にエピタキシャル成長されるので周知の如く結晶欠陥の少ない結晶性の優れたシリコンの半導体領域12が形成される。また P^+ の不純物領域17はゲート電極14によりセルフラインにより特別のフォトリソエッチング工程なしに簡単に形成される。

第4図に本発明の他の実施例を示す。この実施例は第3図の場合と同様に P^+ の不純物領域17及び n^+ の第2の不純物領域18が形成され、しかもメモリ・セル全体としての膜厚が薄くなっている。

このような構造にすることにより、各メモリ・セルが小型化して集積度を増すことができる。動作については第3図の場合と同じである。

第6図は本発明の他の実施例で、この実施例で

は第4図におけるドレイン領域16が形成されていない。そしてその記憶素子としての動作は簡単に説明すると、ゲート電極14に立ち下りの鋭いパルスを加しソース領域15に電圧 V_s を加えることにより、ソース領域15より電子をチャージ・ポンピングにより電荷を半導体領域12に飽和するまで蓄積させ、もはやそれ以上電荷の注入が生じない状態にする。

このような状態にするか否かが蓄込み動作である。そして読出し動作では、蓄込みの場合と同様にゲート電極14及びソース領域15に電圧を加しもし前述の蓄積がすでになされている場合は、もはやチャージ・ポンピングは行なわれずソース領域15には電流は流れず、もし蓄積がまだなされていない場合は、チャージ・ポンピングが行なわれソース領域15に電流が流れる。

従ってこの電流を検知すれば読出しが行なえるわけである。

上記のようなメモリセルに対し、第6図に示すように本発明である P^+ の不純物領域17及び第

- 11 -

2の不純物領域18を形成すれば、第3図の場合と同様にチャージ・ポンピングによる電荷の蓄積が効率よく行なわれることは明らかである。

以上説明した様に本発明によれば、電気的に浮遊した半導体領域に形成したMIS-FETにチャージ・ポンピングにより電荷を蓄積させて情報の蓄込みを行なう場合、メモリ・セルの小型化によりチャネル長が短くなっても、効率の良いチャージ・ポンピングを行なうことができる。

4. 図面の簡単な説明

第1図は本発明における従来例を示す断面図。第2図乃至第4図及び第6図は本発明の一実施例を示す断面図。第5図は本発明の動作を説明するためのエネルギー・バンドの図。

図中

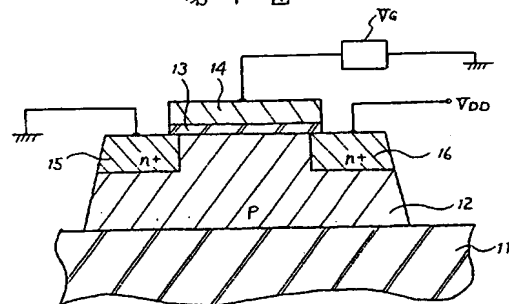
11：絶縁膜、12：半導体領域、13：ゲート絶縁膜、14：ゲート電極、15：ソース領域、16：ドレイン領域、17：高濃度の不純物領域、18：第2の不純物領域。

代理人 弁理士 松岡 宏四郎

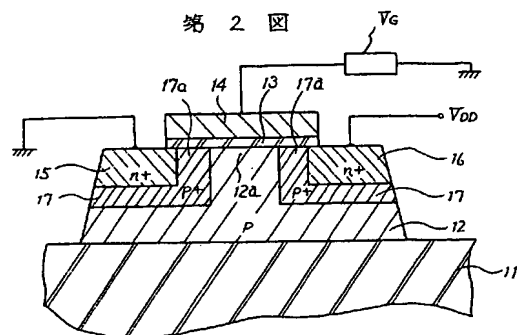
- 13 -

- 12 -

第1図

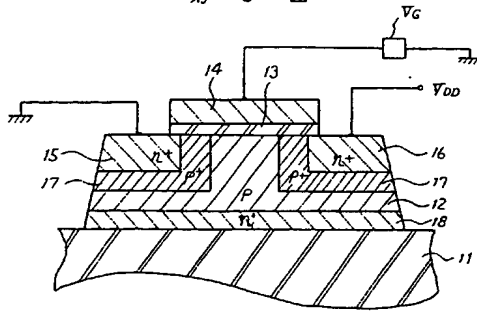


第2図

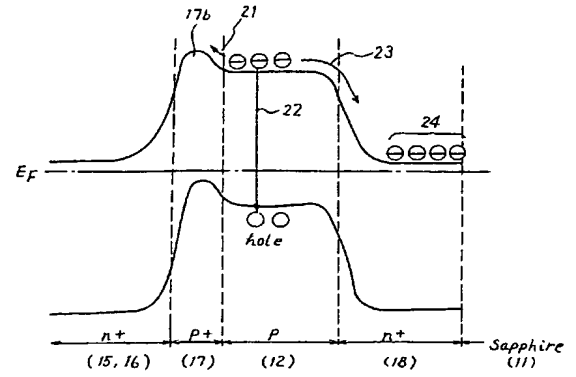


- 266 -

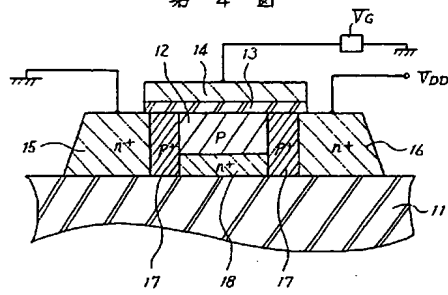
第 3 図



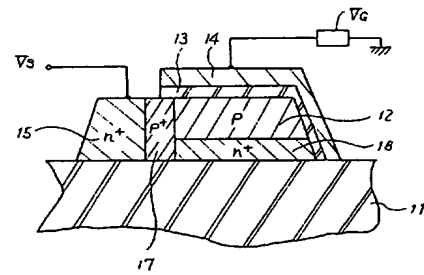
第 5 図



第 4 図



第 6 図



This Page Blank (uspto)